(19)日本国特許庁（ＪＰ）　(12)**公開特許公報**（Ａ）　(11)特許出願公開番号

特開平8－330921

(43)公開日　平成８年(1996)12月13日

(51)Int.Cl.[6]	識別記号	庁内整理番号	ＦＩ		技術表示箇所
Ｈ０３Ｋ　5/13			Ｈ０３Ｋ　5/13		
19/0175			19/00	１０１Ｎ	
19/0948			19/094	Ｂ	

審査請求　未請求　請求項の数２　ＯＬ　（全５頁）

(21)出願番号　特願平7－136408

(22)出願日　平成７年(1995)６月２日

(71)出願人　390005175
株式会社アドバンテスト
東京都練馬区旭町１丁目32番１号

(72)発明者　鈴木　博夫
東京都練馬区旭町１丁目32番１号　株式会社アドバンテスト内

(72)発明者　岡安　俊幸
東京都練馬区旭町１丁目32番１号　株式会社アドバンテスト内

(74)代理人　弁理士　草野　卓　（外１名）

(54)【発明の名称】　可変遅延回路

(57)【要約】

【目的】　ＣＭＯＳ型ＩＣ内に形成される論理素子を用いて遅延時間を連続的に変化させることができる可変遅延回路を提供する。

【構成】　ＣＭＯＳ型ＩＣによって構成した論理素子ＬＧを縦続接続し、その縦続接続段数に応じた遅延時間を得る遅延回路において、論理素子の各段間と共通電位点との間にＭＯＳ型トランジスタなどコンデンサＣによって構成される直列回路を接続し、ＭＯＳ型トランジスタのドレイン－ソース間の抵抗値変化により直列回路の時定数を変化させ、遅延時間を連続的に変化させる。

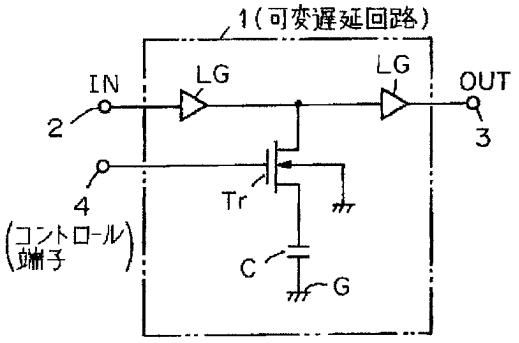

図１

1

【特許請求の範囲】

【請求項１】　ＣＭＯＳ型集積回路によって構成された論理素子を縦続接続して構成され、論理素子の縦続接続段数に応じた遅延時間を得る遅延回路において、

上記論理素子の各段間と共通電位点との間にＭＯＳ型トランジスタとコンデンサとによって構成される直列回路を接続したことを特徴とする可変遅延回路。

【請求項２】　Ｐ型ＭＯＳ電界効果トランジスタと、Ｎ型ＭＯＳ電界効果トランジスタとをドレイン電極同士を接続して直列接続すると共に、ゲートを共通接続して入力端子とし、上記Ｐ型ＭＯＳ電界効果トランジスタと、Ｎ型ＭＯＳ電界効果トランジスタのドレイン電極の接続点を出力端子として極性反転型の論理回路を構成し、この論理回路を遅延素子として用いる遅延回路において、上記Ｐ型ＭＯＳ電界効果トランジスタと、Ｎ型ＭＯＳ電界効果トランジスタの各基板電極に与える基板バイアス電圧を制御して遅延時間を制御する構成としたことを特徴とする可変遅延回路。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】この発明は、例えば各種のタイミング信号を生成する場合等に利用する可変遅延回路に関する。

【０００２】

【従来の技術】従来よりＣＭＯＳ構造の半導体集積回路に形成された各種の論理ゲート素子を縦続接続し、この縦続接続した各論理ゲート素子の各段間から遅延時間が異なる信号を取り出し、この取り出した信号を各種のタイミング信号として利用するタイミング発生方法がある。

【０００３】

【発明が解決しようとする課題】論理素子を利用した遅延回路では遅延時間は論理素子の接続段数によって決まるため、遅延時間を微細に調整する機能がない。従って、遅延時間を微細な分解能で設定することができない不都合がある。この発明の目的は微細な分解能で遅延時間を設定することができる可変遅延回路を提供しようとするものである。

【０００４】

【課題を解決するための手段】この出願の請求項１で提案する可変遅延回路はＣＭＯＳ型集積回路によって構成された論理素子を縦続接続して構成され、論理素子の縦続接続段数に応じた遅延時間を得る遅延回路において、論理素子の各段間と共通電位点との間にＣＭＯＳ型電界効果トランジスタとコンデンサとによって構成した直列回路を接続して遅延時間を連続的に変化させることができる可変遅延回路を構成したものである。

【０００５】この出願の請求項２で提案する可変遅延回路はＰ型ＭＯＳ電界効果トランジスタと、Ｎ型ＭＯＳ電界効果トランジスタとをドレイン電極同士を共通接続して直列接続すると共に、これら電界効果トランジスタのゲート電極を共通接続して入力端子とし、ドレイン電極同士の接続点を出力端子として極性反転型の論理回路を構成し、この論理回路を遅延素子として用いる遅延回路において、Ｐ型ＭＯＳ電界効果トランジスタと、Ｎ型ＭＯＳ電界効果トランジスタの各基板電極に与えるバイアス電圧を変化させて遅延時間を制御する可変遅延回路を構成したものである。

2

【０００６】請求項１で提案した可変遅延回路によれば、コンデンサと直列接続した電界効果トランジスタのゲート電極に順方向バイアスを与え、この順方向バイアス電圧を変化させることにより、この電界効果トランジスタのドレイン－ソース間の抵抗値を変化させることができる。従って、コンデンサと直列に可変抵抗器を接続したと等価になり、この可変抵抗器の抵抗値を変化させることにより、論理ゲート素子による遅延時間を微細に調整することができる。

【０００７】請求項２で提案した可変遅延回路によれば、Ｐ型ＭＯＳ電界効果トランジスタ及びＮ型ＭＯＳ電界効果トランジスタの各基板電極に与える電圧を変化させることにより遅延時間を連続的に変化させることかできる。この結果、遅延時間を微細に変化させて設定することができる可変遅延回路を提供することができる。

【０００８】

【実施例】図１にこの出願の請求項１で提案した可変遅延回路の実施例を示す。図中１は可変遅延回路、２はその入力端子、３は出力端子を示す。可変遅延回路３はＣＭＯＳ型の半導体集積回路で構成される例えはバッファ増幅器のような論理素子ＬＧを縦続接続すると共に、この論理素子ＬＧの段間と共通電位点Ｇとの間に電界効果トランジスタＴｒ とコンデンサＣとからなる直列回路を接続して構成する。電界効果トランジスタＴｒ のゲート電極は半導体集積回路の外部に設けたコントロール端子４に接続し、このコントロール端子４に制御電圧を与えて電界効果トランジスタＴｒ のドレイン－ソース間の抵抗値を任意の抵抗値に設定する。

【０００９】図１の構成にすることにより、可変遅延回路１は図２に示すように電界効果トランジスタＴｒ は可変抵抗器ＶＲと等価に見える。従って、電界効果トランジスタＴｒ の抵抗値を変化させることにより、コンデンサＣとの時定数を変化させることができ、この結果、入力端子２と出力端子３との間の遅延時間を連続的にかつ微細に変化させることができる。よって図１に示すような構成の可変遅延回路１を複数縦続接続し、その任意の段間から遅延信号を取り出す構成にすることにより、遅延時間が微細に異なる遅延回路を得ることができる。つまり、遅延時間を精度よく目標値に設定することができる。

【００１０】図３はこの出願の請求項２で提案した可変遅延回路の実施例を示す。この例では、Ｐ型ＭＯＳ電界

効果トランジスタＰＭＯＳと、Ｎ型ＭＯＳ電界効果トランジスタＮＭＯＳとを互いにドレイン電極Ｄを共通接続して直列接続すると共に、ゲート電極Ｇ同士を共通接続し、この共通接続したゲート電極Ｇを入力端子２に接続し、ドレイン電極同士の共通接続点から出力端子３を導出する。この回路はインバータとも呼ばれる極性反転増幅器と等価である。

【００１１】この例ではＰ型ＭＯＳ電界効果トランジス＊

$$V_{BP} = V_{DD} + \beta$$

$$V_{BN} = V_{SS} - \alpha$$

となる。

【００１２】図４に図３の等価回路を示す。ゲート電極Ｇに与える入力電圧を$-V_{SS}$と$+V_{DD}$まで大きく励振させるものとすると、Ｐ型ＭＯＳ電界効果トランジスタＰＭＯＳと、Ｎ型ＭＯＳ電界効果トランジスタＮＭＯＳは図４に示すようにスイッチＳＷと抵抗器Ｒの直列回路と見ることができる。基板バイアス電圧$+V_{BP}$及び$-V_{BN}$を変化させると、各電界効果トランジスタＰＭＯＳ及びＮＭＯＳのしきい値電圧が変化し、等価的に抵抗器Ｒの抵抗値を変えることができる。抵抗値は式（１）においてα及びβがα＝０，β＝０のとき、最小値となり、α及びβの絶対値を大きくすると、抵抗値が大きくなる方向に制御することができる。

【００１３】この結果、α＝０，β＝０のとき、トランジスタがオン、オフ動作するに伴って抵抗器Ｒと出力端子３に接続したコンデンサＣとの時定数は最短時間となり、αとβの絶対値を漸次大きくすると時定数を大きくする方向に制御することができる。従って時定数の変化から遅延時間を連続的に変化させることができる。図５は図３に示した実施例の応用例を示す。この例では図３に示した可変遅延回路の遅延時間を温度変動等に応動することなく、一定遅延時間を維持するように自動制御する制御回路を提案するものである。

【００１４】図５に示す１０は図３に示した極性反転型可変遅延回路を２段縦続接続して構成した同相増幅型の可変遅延回路を示す。この同相増幅型可変遅延回路１０を更にＮ段縦続接続し、Ｎ段可変遅延回路１１を構成する。Ｎ段可変遅延回路１１の出力を位相比較器１３の一方の入力端子に接続する。Ｎ段可変遅延回路１１の入力端子１２にはパルス列ＣＬＫを与える。ここで入力端子１２に与えるパルス列ＣＬＫの１パルスの時間間隔とＮ段可変遅延回路１１の遅延時間は互いに近い値（大きく違わない関係）にあるものとする。位相比較器１３の他方の入力端子に入力端子１２に与えたパルス列ＣＬＫを直接与え、位相比較器１３でＮ段可変遅延回路１１で遅延したパルスと遅延しないパルスとを位相比較する。

【００１５】位相比較器１３の位相比較出力をフィルタ１４で平滑化し、その平滑化した位相比較出力を基板バイアス発生器１５に与え、この基板バイアス発生器１５で図３で説明した基板バイアス電圧$+V_{BP}$，$-V_{BN}$を発＊タＰＭＯＳと、Ｎ型ＭＯＳ電界効果トランジスタＮＭＯＳの各基板電極５と６をソース電極から切離し、この基板電極５と６に基板バイアス電圧$+V_{BP}$，と$-V_{BN}$とを与える。ここで基板バイアス電圧$+V_{BP}$と$-V_{BN}$はＰ型ＭＯＳ電界効果トランジスタＰＭＯＳのソースに与える電圧を$+V_{DD}$，Ｎ型ＭＯＳ電界効果トランジスタＮＭＯＳのソース電極に与える電圧を$-V_{SS}$とした場合、

…… （１）

生させ、この基板バイアス電圧$+V_{BP}$，$-V_{BN}$を各同相増幅型可変遅延回路１０から導出した基板電極５と６に与え、各同相増幅型可変遅延回路１０の遅延時間を制御するように構成したものである。

【００１６】この構成において、Ｎ段可変遅延回路１１の遅延量が例えば温度変化によって短くなる方向に変動したとすると、その遅延量の変動は位相比較器１３の比較出力に現れ、その位相比較出力によって基板バイアス発生器１５から発生する基板バイアス電圧$+V_{BP}$と$-V_{BN}$の絶対値が大きくなる方向に制御する。この基板バイアス電圧$+V_{BP}$と$-V_{BN}$の絶対値が大きくなる方向に制御することにより、各同相増幅型可変遅延回路１０の遅延時間は長くなる方向に制御され、元の遅延時間に戻される。

【００１７】Ｎ段可変遅延回路１１の遅延時間が長くなる方向にずれた場合は、位相比較器１３の位相比較結果と先の場合とは逆極性となり、これにより基板バイアス発生器１５は基板バイアス電圧$+V_{BP}$，$-V_{BN}$の絶対値を下げる方向に制御される。よって、この基板バイアス電圧の変化によりＮ段可変遅延回路１１の遅延時間は短くなる方向に制御される。

【００１８】このようにして、位相比較器１３の位相比較結果が常に一定値、例えば０となるように動作し、Ｎ段可変遅延回路１１の遅延時間を一定値に維持するように動作する。従って、例えばアンドゲート群Ｇを通じてＮ段可変遅延回路１１の何れか一つの段間から遅延信号を取り出すことにより、任意の遅延量を持つ遅延パルスを得ることができ、その選択した遅延時間を一定値に維持することができる。

【００１９】

【発明の効果】以上説明したように、この発明によれば電界効果トランジスタの抵抗変化を利用して時定数を変化させることにより遅延時間を変化させる構成としたから、遅延時間を連続的に変化させることができ、微小な遅延時間を分解能よく設定することができる。

【００２０】また、図５に示した実施例のように、自動制御ループを構成することにより、遅延時間を微小な時間範囲に安定化することができる。よって、目的とする遅延時間を精度よく得ることができ、またその遅延時間を長期にわたって安定に維持させることができる利点が

5　　6

得られる。

【図面の簡単な説明】

【図１】この出願の請求項１で提案した発明の実施例を示す接続図。

【図２】図１に示した実施例と電気的に等価な接続図。

【図３】この出願の請求項２で提案した発明の実施例を示す接続図。

【図４】図３に示した実施例と電気的に等価な接続図。

【図５】図３に示した実施例の応用例を示すブロック図。

【符号の説明】

＊１　可変遅延回路
２　入力端子
３　出力端子
４　コントロール端子
Ｔｒ　電界効果トランジスタ
Ｃ　コンデンサ
ＬＧ　論理回路素子
ＶＲ　可変抵抗器
ＰＭＯＳ　Ｐ型電界効果トランジスタ
ＮＭＯＳ　Ｎ型電界効果トランジスタ
＊　５，６　基板電極

【図１】

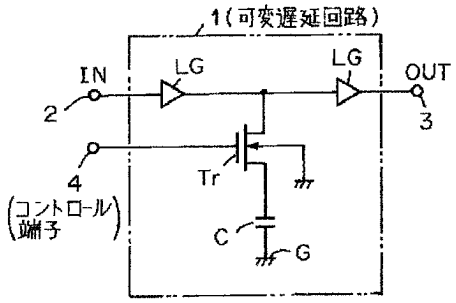

図１

【図２】

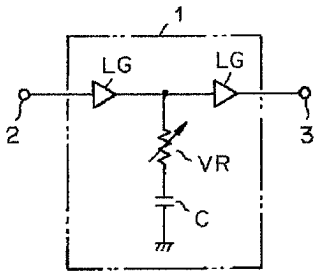

図２

【図３】

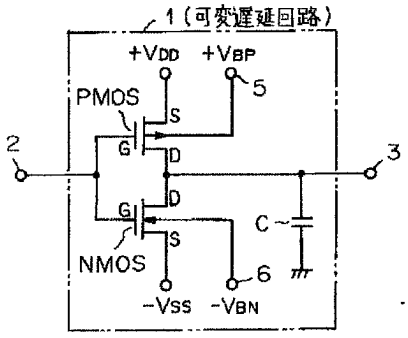

図３

【図４】

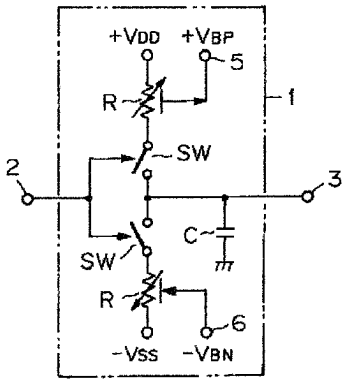

図４

【図5】

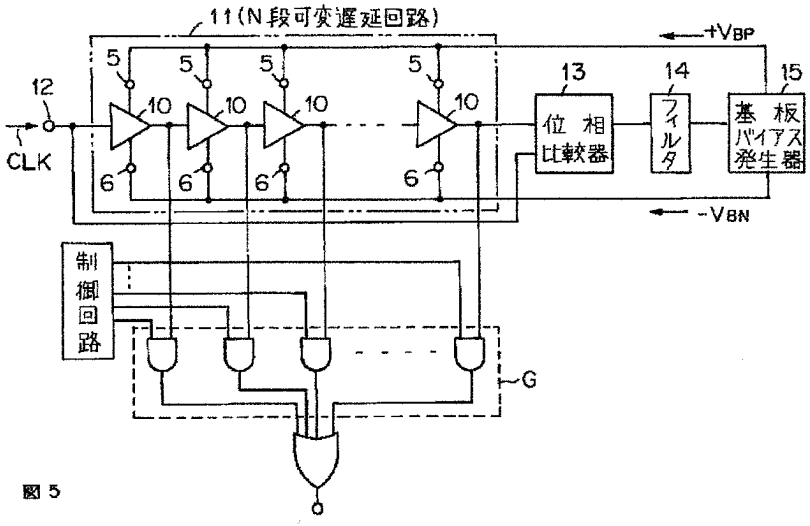
11(N段可変遅延回路)
+VBP
12
CLK
5
10
6
13
位相比較器
14
フィルタ
15
基板バイアス発生器
-VBN
制御回路
G

図5